

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204103

(43) 公開日 平成8年(1996)8月9日

(51) Int. Cl. ⁶	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 23/50	R			
H 0 1 R 9/09	Z	6901-5B		

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平7-12546

(22) 出願日 平成7年(1995)1月30日

(71) 出願人 000003126

三井東圧化学株式会社

東京都千代田区霞が関三丁目2番5号

(72) 発明者 金光 均一

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(72) 発明者 高橋 浩一

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(72) 発明者 永峰 邦浩

神奈川県横浜市栄区笠間町1190番地 三井

東圧化学株式会社内

(74) 代理人 弁理士 若林 忠

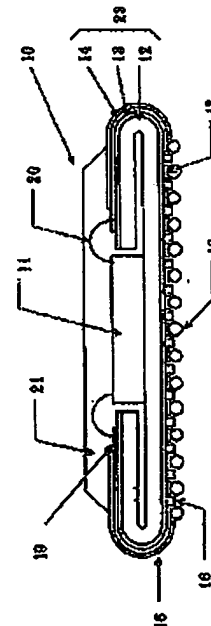
最終頁に続く

(54) 【発明の名称】 多端子半導体パッケージ

(57) 【要約】

【目的】 スルホールビアが必要なく端子数の増加に対応でき、プリント基板への従来からの表面実装技術が使用できる、廉価な多端子半導体パッケージを提供する。

【構成】 金属板12上に絶縁層13を介して回路加工された金属箔14を有する金属ベース基板23を用い、この金属ベース基板23にソルダーマスク16を形成した後、折り曲げ加工を施して開口面15を有する形状とする。この開口面15の周縁部にインナーリード19が配置され、その裏面領域全体に金属バンプ18を介してプリント基板に接合させる端子17が配置される形状であり、すなわちBGA構造の多端子半導体パッケージである。



(2)

特開平8-204103

1

【特許請求の範囲】

【請求項1】 金属箔と金属板とが絶縁層を介して積層されている金属ベース基板を使用し、前記金属箔面に回路加工を行って得られた金属ベース配線板を金属板側に折り曲げ加工を行なった立体印刷基板であって、他の回路基板との電気的接続部位がBGA(Ball Grid Array)構造であることを特徴とする多端子半導体パッケージ。

【請求項2】 前記折り曲げ加工で開口部を有する形状に加工し、前記開口面から見てその底部の金属板に半導体集積回路素子がマウントされ、前記開口面の周縁に前記半導体集積回路素子との接続を目的とした前記回路加工で得られたインナーリード部とその裏面に金属パンプを介して他の回路基板との接続を目的とした前記回路加工で得られた端子部とが前記回路加工された金属箔で電気的に接続されていることを特徴とする請求項1の多端子半導体パッケージ。

【請求項3】 前記端子部が開口面に位置し、その裏面にダイパッドまたは前記インナーリード部を配置した形状であって、前記端子部と前記インナーリード部とが前記回路加工された金属箔で電気的に接続されていることを特徴とする請求項1の多端子半導体パッケージ。

【請求項4】 前記回路加工された面にソルダーマスクを形成し、かつ前記ソルダーマスク部以外の露出した前記回路形成された金属箔上に表面処理を行った請求項2または請求項3に記載の多端子半導体パッケージ。

【請求項5】 前記端子の一部または前記ダイパッド部の前記絶縁層を除去した請求項1ないし4いずれか1項に記載の多端子半導体パッケージ。

【請求項6】 前記絶縁層は、伸び率が30%以上であり、かつガラス転移温度が160℃以上350℃以下である熱可塑性ポリイミドで構成されている請求項1ないし4いずれか1項に記載の多端子半導体パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路素子用の半導体パッケージに関し、特に半導体集積回路素子に対して電気的に接続された端子部分がパッケージ下面から多数導出されている多端子半導体パッケージに関する。

【0002】

【従来技術】集積回路用の半導体パッケージとしては、DIP(Dual in-line Package)など各種のものがあるが、外部端子数の多いLSI用の半導体パッケージとして、フラットパッケージの1種であるQFP(Quad Flat Package)や、図8に示すようなPGA(Pin Grid Array)80などがある。QFPでは、半導体集積回路素子(ICチップ)に接続されたリードがアウターリードとしてパッケージ外周(4方向)に複数本導出されてい

2

る。一方、PGA80では、ICチップに接続されるリードが、パッケージ下面より、端子(ピン)81として導出される。QFPでは、パッケージの外周の4辺からしかアウターリードが取り出せないため、多ピン化、すなわち、アウターリードの本数を増加させた場合に、アウターリード相互の間隔、すなわち、ピンピッチを狭小化せざるを得ないが、PGAでは下面全体をリードの導出空間として利用できるため、端子ピッチをそれほど狭小化することなく、多ピン化をなすことができる。半導体集積回路素子の大規模集積化または半導体集積回路素子サイズの大型化に伴い、今後、アウターリードの本数は400～1000本程度にまで増加すると予測され、この場合、従来のQFPでは対応困難であると考えられている。

【0003】PGAに対して半導体集積回路素子のパッケージングを行なう場合、下面に金属製のピン端子がろう付けされ、かつ上面にはダイパッドまたはインナーリードがメタライズ処理によって形成されたセラミックパッケージを使用し、このセラミックパッケージにICチップをマウントし、ボンディングワイヤーによってICチップとインナーリードとの電気的接続を完成させた後、セラミックまたは金属製の蓋が取り付けられる。この他、セラミック基板あるいはプリント基板上にダイパッドまたはインナーリードをパターン形成し、その後、これらセラミック基板あるいはプリント基板の下面に端子を取り付け、ICチップを搭載し、最後に全体を樹脂でモールドすることによりPGAへのパッケージングを行う方法もある。

【0004】また、従来のQFPの有する問題点を解決し、アウターリード間隔の狭小化に対応できるものとして、例えば特開平1-132147号公報に記載された半導体パッケージや、本発明者らによる特開平4-6893号公報に記載された電子回路パッケージがある。特開平1-132147号公報記載のパッケージは、アルミニウムまたは銅をベース金属とし、絶縁層として数十μm厚のエポキシ樹脂からなる樹脂層を設け、その後、銅箔を積層してパターンニングし、プレス加工によって屈曲部を形成したものであり、中央部にICチップが搭載され、周辺部がアウターリードとして使用される。また特開平4-6893号公報記載のパッケージは、金属ベース基板に対して折り曲げ加工あるいは絞り加工を行ってスプ凸状としたものであり、開口面から見てその底部にICチップがマウントされ、開口面の周縁部がアウターリードとして使用されるものである。これらパッケージでは、アウターリードが絶縁層を介して金属基板上に形成された構成となっているので、アウターリードの変形にともなう諸問題を回避でき、QFPに比べてアウターリード間隔を小さくすることができる。しかし、これらパッケージでは、基本的にはパッケージの外周4方向からのアウターリード端子の取り出しとなっているの

(3)

特開平8-204103

3

で、アウターリード本数を増大させる場合に限界がある。

【0005】結局、ある程度以上の多ピン化、多端子化を実現する場合には、PGAなどのように下面からのリード端子など電気的接続部位の導出が不可欠となる。PGAの場合、プリント基板へのパッケージの取り付けはピン挿入型の実装となり、プリント基板に設けられたスルホールにアウターリード端子を差し込む必要がある。しかし、このようなピン挿入型の実装は、表面実装に比べて高密度実装時に実装面積の縮小が困難である。このため、表面実装に適したアウターリード構造が更に求められている。またPGAでは多数のアウターリード端子をろう付けする必要がある。パッケージングコストはQFPと比較するとかなり高くなる。

【0006】現在、表面実装に適させるため、アウターリード端子を短くしたショートリードPGA、またリード端子を無くしたBGA(Ball Grid Array)等が開発されている。図9(a)はBGAの構成の概略を示す下面図、図9(b)はBGAをプリント基板に実装した状態を示す模式断面図である。BGA90では、PGAのアウターリード端子の代わりにボール状の半田パンプ91がパッケージ下面に形成されている。プリント基板92にBGA90を実装する場合、半田パンプ91を電気的部として、リフロー加熱によりプリント基板92上のパッドと電気的に接続させている。BGA90では、ICチップ93は、セラミックないしガラスエポキシ製の基板94上にダイパッド95を介して搭載されており、基板94上の銅箔配線96(インナーリード)に対してボンディングワイヤ97によって接続されている。さらに、基板94を貫通するスルホールビア98が設けられ、このスルホールビア98を介して銅箔配線96と半田パンプ91とが電気的に接続されている。さらに、ICチップ93や銅箔配線96、ボンディングワイヤ97を封止するために、エポキシなどからなるモールド材99が基板94の上面に設けられている。

【0007】しかしながら従来のBGAにおいては、電気的接続のためにスルホールビアを使用していることにより穴明けまたはメッキが必要となるほか、ICチップを樹脂封止することからスルホールビアをソルダーマスク101で塞がなければならぬため、パッケージの厚み制御が難しく、かつ価格も高くなるなどの問題点がある。さらには、サーマルビア100をダイパッド95下に設けてプリント基板92と接合することで半導体集積回路素子の熱をプリント基板92に放熱させる構造であることから、基板94の局部に熱が集中する問題点がある。

【0008】

【発明が解決しようとする課題】本発明の目的は、従来のBGAのようにスルホールビアを形成することなく、

4

パッケージの下面から複数の電気的接続部位を取り出せる構造、すなわち半導体集積回路素子を搭載する面が上面となるキャビティアップ構造のパッケージにおいて、従来のプリント基板への表面実装技術が金属バンプを介することで使用できる。価値で、かつ放熱性を向上させた多端子半導体パッケージを提供することにある。

【0009】

【課題を解決するための手段】本発明の多端子半導体パッケージは、金属箔と金属板とが絶縁層を介して積層され、かつ前記金属箔に回路加工が行われた金属ベース基板を使用し、前記金属ベース基板に折り曲げ加工を行った立体印刷基板であって、他の回路基板との電気的接続部位がBGA(Ball Grid Array)構造であることを特徴とする。半導体集積回路素子搭載用でキャビティアップ構造の多端子半導体パッケージにおいて、前記折り曲げ加工を金属板側に行うことにより半導体集積回路素子と接続されるインナーリード部と他基板と接続される端子部とが前記回路加工された金属箔で電気的接続される。さらに一部絶縁層を除去することにより金属板を放熱板として使用できる。

【0010】

【作用】本発明の多端子半導体パッケージでは、従来のBGAパッケージと比較してスルホールビアを形成しなくてもよく、金属ベース配線板に折り曲げ加工を施すことでBGAパッケージを形成できるので、パッケージ形成工程が短縮でき、かつ簡単に作製できる。さらにソルダーマスクでスルホールビアを塞がなくてもよいことから厚み制御が容易となる。またダイパッド部または端子の一部の絶縁層を除去することで金属板が放熱板として使用できることから放熱性は向上する。

【0011】本発明の多端子半導体パッケージにおいて、金属ベース基板を構成する金属板としては、厚み0.05～2.0mm程度のものが使用されるが、好ましくは0.1～1.0mmのアルミニウム、洋白や真ちゅう等の銅合金、銅、銅クラッドインバー、ステンレス鋼、鉄、珪素鋼、電解酸化処理されたアルミニウム、クロメート処理された銅等を用いることができる。

【0012】本発明に用いられる絶縁層としては、例えば、エポキシフェノール、ビスマレイミド等の熱硬化性樹脂、またはポリアミドイミド、ポリスルホン、ポリパラベン酸、ポリフェニレンサルファイド等の熱可塑性樹脂、または熱可塑性ポリイミドの前駆体であるポリアミド酸ワニスを、加熱イミド化して得られるものも使用できる。あるいは耐熱性有機高分子フィルム、例えばポリイミド、ポリアミドイミド、アラミド、ポリエーテルスルホン、ポリエーテルエーテルケトン等の各フィルムの両面に、熱可塑性ポリイミドの前駆体であるポリアミド酸ワニスを塗布し加熱イミド化して得られるものも使用できる。また有機溶媒に可溶な熱可塑性ポリイミドの場合であれば、熱可塑性ワニスを上述のフィルム形成

(4)

特開平8-204103

5

方法と同様にキャスト、あるいはコートし乾燥して得られるフィルム、また熱可塑性ポリイミドの押し出し成形フィルムあるいはシートも使用できる。さらには、使用する金属板、あるいは金属箔の裏面に、ポリイミド酸ワニス、あるいは熱可塑性ポリイミドを塗布して乾燥し、積層させてもかまわない。

【0013】前述の絶縁層材料を組み合わせて用いることも可能である。さらに、放熱性を向上させる目的で、金属箔との接着を阻害しない範囲で、前記絶縁層に無機フィラを加えても構わない。これらフィラとしては、アルミナ、シリカ、炭化珪素、窒化アルミニウム、窒化ホウ素等が挙げられる。

【0014】このような絶縁層のうち、本発明において最も好ましいものは、主鎖にイミド構造を有する熱可塑性ポリイミドであって、ガラス転移温度(T_g)が160℃以上350℃以下であり、JIS(日本工業規格)-C2318に規定された方法により測定される破断時の伸び率が30%以上のものである。ガラス転移温度を上述のように規定することにより、金属板-金属箔層間の接合強度とワイヤーボンディング時の熱信頼性がともに優れたものとなる。また伸び率30%以上とすることにより、機械加工時の信頼性が優れたものとなる。このような熱可塑性ポリイミドにおいても、もちろん無機フィラを混入することができる。

【0015】本発明において、回路形成に使用される金属箔には、銅、銅-ベリリウム合金、ニッケル、アルミニウム箔等が使用できる。一般的には、比較的安価に且つ容易に入手可能な、市販の電解銅箔、圧延銅箔等が用いられる。本発明においては、回路加工された金属箔が、インナーリードまたは端子等の配線パターンに相当する。金属箔の回路加工の方法としては、通常のプリント配線基板上で使用される公知のパターニング(エッチング)法などが使用できる。

【0016】パターニングされた金属箔表面には、後述のワイヤーボンディングを行うために、Auメッキ、Ni/Auメッキ、Agメッキ、Pdメッキ等のメッキ処理を行うことが好ましい。このメッキ処理は、折り曲げ加工を行う前、あるいは加工後に行うことができる。

【0017】金属板、絶縁層、金属箔を相互に積層する方法としては、熱ロール法や熱プレス法等がある。また金属板上に絶縁層を形成後、蒸着法またはメッキ法などで金属の導体層を形成するビルドアップ法も使用可能である。

【0018】本発明において、より放熱性を改善するためには、絶縁層を部分的に除去することが好ましい。絶縁層を除去する方法として、熱プレス法の場合には、除去部分を打ち抜き加工するか、または熱プレス後のNCルーターによる切削除去、ウェットまたはドライエッチング法、レーザー加工法が用いられる。

【0019】絶縁層がポリイミドからなる場合、ウェッ

6

トエッチングとしては、アルカリ溶液エッチングが用いられ、例えば水酸化カリウム、水酸化ナトリウム等のアルカリ水溶液を用いることができ、必要に応じてこれにヒドラジン化合物を加えてもよい。

【0020】ドライエッチングとしては酸素プラズマを用いたプラズマ灰化法や反応性イオンエッチング法等があり、必要に応じてCF₄またはNF₃のガスを混合してもよい。レーザー加工法としては、エキシマレーザーや炭酸ガスレーザー、YAGレーザーなどを使用する方法があり、エキシマレーザーとしては、例えばArF系またはKrF系のものを挙げることができる。

【0021】本発明における折り曲げ加工は、通常の金型を用いたプレス加工で行うことができる。回路加工された金属箔を折り曲げ加工時に保護するために、金型表面に樹脂コートして用いたり、金属箔の配線パターン形状に合わせて金型に凹形状を設けてもよい。あるいは熱をかけての加工や、絶縁層を溶剤等で溶解させる等の処理を行ってもよい。

【0022】本発明の多端子半導体パッケージの断面形状は適宜選択し得るが、折り曲げ加工の優位性から、その曲率半径が5.0mm以下の範囲で加工を行うことが望ましい。後述の実施例では0.05mmとした。

【0023】本発明の多端子半導体パッケージと半導体集積回路素子との接合には、ダイボンディングとして金-シリコン共晶を用いた熱圧着法、あるいは導電性接着樹脂を用いる方法、半田メッキ、金メッキ、銀メッキ等が用いられる。半導体集積回路素子と配線パターンである回路加工された金属箔との電気的接続には、ワイヤーボンディング法、またはバンプ形成を用いたフリップチップ法を用いる。

【0024】本発明の多端子半導体パッケージ上に搭載される半導体集積回路素子の個数は1個に限定されるものではなく、複数個の素子を搭載することも可能である。複数個の素子を搭載する場合、各素子間の相互の配線は、前記配線パターンを用いるか、またはボンディングワイヤーを併用する方法を採用する。また搭載した半導体集積回路素子は一般に気密封止されるが、気密封止には、例えばエポキシ樹脂等によるトランスファモールド成形またはボッティング法を使用することができる。封止樹脂には放熱性及び熱膨張係数整合等の理由により、必要に応じて無機フィラ(アルミナ、シリカ、窒化アルミニウム、窒化珪素、窒化ホウ素、炭化ケイ素など)を混入してもよい。

【0025】本発明の多端子半導体パッケージにおいて、他のプリント基板との接続に金属バンプを使用する場合、ソルダーマスクを形成することが望ましい。ソルダーマスクにはアクリル系、ウレタン系、エポキシ系、シリコン系、イミド系樹脂で液状またはドライフィルムタイプの感光性あるいは熱硬化性の樹脂が使用できる。また金属バンプの形成には、メッキ法、転写バンプ法、

(5)

特開平8-204103

7

8

スタッドバンプ法等が使用できる。金属バンプには、Au、Ni/Au、半田、あるいはプラスチックまたは金属ボールにメッキを行ったボール等が使用可能である。

【0026】本発明の多端子半導体パッケージを他のプリント基板上に表面実装する場合には、表面実装法として通常の半田クリーム印刷法またはフラックス塗布法を用いる。半田クリームの印刷あるいはフラックスの塗布後、自動搭載機により他のプリント基板上に本発明の多端子半導体パッケージを搭載し、リフロー炉を用いて半田付けを行う。リフロー炉としては、赤外線加熱及びエア併用タイプ、窒素リフロー、及びベーパーフェイズタイプのものなどを使用することが望ましい。

【0027】

【実施例】以下、本発明の実施例について、図面を参照して説明する。

【0028】実施例1

図1(a)は本発明の実施例1の多端子半導体パッケージの断面図、図2(a)、(b)はそれぞれこの半導体パッケージの上面図、下面図である。

【0029】この多端子半導体パッケージ10は、半導体集積回路素子(1Cチップ)11を搭載するものである。多端子半導体パッケージ10は、金属板12上に絶縁層13を介して金属箔14が積層された金属ベース基板23を使用し、金属箔14に対して回路パターンを形成した後に、ソルダーマスク16を形成し、金属板12側に折り曲げ加工を行なうことで開口面15を有する形状に形成されている。本実施例では、開口面15の周縁に半導体集積回路素子と接続するためのインナーリード19が配置され(図2(a))、その裏面には金属バンプ18を介してプリント基板と接合する端子17がマトリックスに合計225個設けられている。ソルダーマスク16は紫外線硬化型の液状フォトリソレジストインクをスクリーン印刷にて塗布し、露光・アルカリ現像を行い、回路パターンのインナーリード19または端子17の金属箔14が露出するように形成されている。また、露出した金属箔14の表面には、折り曲げ加工を行った後に、無電解メッキ法により厚さ3~5μmのニッケル(Ni)層(不図示)が形成され、さらにこのニッケル層の上に、無電解メッキ法により厚さ0.03~0.5μmの金(Au)層(不図示)が形成されている。金属バンプ18は、転写バンプ法により半田バンプが形成されている。

【0030】図3は、この多端子半導体パッケージ10の展開図である。金属箔14は、回路加工によって、端子部17が中央部に配置され、端子17にそれぞれ対応する配線パターンが外周の4辺に向かう形状であり、4辺に配列された配線の端部はインナーリード19となる。回路パターンを形成した後、金型プレスにより鋭角八角形(点線部)の形状に打ち抜き、4辺の一点鋭角部を金属板12側に折り曲げ加工して正方形の形状として

いる。

【0031】4辺を折り曲げる際、隣接の重なりによる段差を防ぐために、クリアランスを0.7mm以上に設定することが望ましい。このことから図3のXは、0.5mm以上となっている。また、折り曲げ加工の曲率半径(内半径)は、0.05mmとなるように加工されている。

【0032】図4は、一部絶縁層13を除去した多端子半導体パッケージの断面図である。金属箔14に回路加工を行う前に絶縁層13のエッチングパターンを形成し、接地用端子部22の絶縁層13をヒドラジン化合物を加えたアルカリ水溶液によってウェットエッチングを行った。接地用端子部22周辺の絶縁層13を除去することで、半導体集積回路素子11から発生する熱をプリント基板へ効率的に放熱できる。さらに金属板12は、そのまま放熱板として使用される。

【0033】金属板12としては厚み0.2mmの銅板を用い、絶縁層13としては三井東圧化学(株)製の熱可塑性ポリイミドの中からガラス転移温度が160℃~350℃であってJIS-C2318に規定される伸び率が30%以上であるものを選択して使用した。絶縁層13の厚みは20μmとした。金属箔14は電解銅箔の18μm厚のものを用い、金属板12、絶縁層13または金属箔14は熱プレス法により相互の接着・積層を行った。

【0034】半導体集積回路素子11は、多端子半導体パッケージ10の上面の中央部すなわち図2(a)の開口部15にマウントされている。この場合、半導体集積回路素子11は多端子半導体パッケージ10上の露出した金属板部すなわち開口部15に、金-シリコン共晶法、導電性接着剤、あるいは半田、金、銀メッキ等によって接合されている。また上述したように金属箔14は配線パターンとして回路加工され、この配線パターンは端子17から半導体集積回路素子11の近傍にまで延びているが、配線パターンのインナーリード19部と半導体集積回路素子11とがボンディングワイヤー20によって電気的に接続されている。

【0035】さらに、半導体集積回路素子11またはボンディングワイヤー20の気密封止のために、トランスファーマールド成形によって、フィラ(アルミナ、シリカ、窒化アルミニウム、窒化ホウ素等)入りのエポキシ樹脂21をモールドしている。エポキシ樹脂21を半導体パッケージにモールドすることにより、多端子半導体パッケージ10の機械的強度も向上する。

【0036】実施例2

上述の実施例1において回路パターンは内側に端子17、外側にインナーリード19を配置していたが、本実施例の多端子半導体パッケージの回路パターンは内側にダイパッド(不図示)またはインナーリード19、外側に端子17を配置している。図5(a)、(b)。

(5)

特開平8-204103

9

10

(c)は、それぞれ多端子半導体パッケージの断面図、上面視図、下面視図である。端子数は、1辺に48個で合計192個である。図6は、半導体パッケージの展開図である。図7は、ダイパッド部または接地用端子22の絶縁層13を除去した多端子半導体パッケージの断面図である。

【0037】

【発明の効果】以上説明したように本発明は、金属板上に絶縁層を介して回路加工された金属箔を有する金属ベース基板を使用し、金属ベース基板に折り曲げ加工を行うことによりBGA形状とすることにより、従来のBGAパッケージにおけるスルホールビアの形成を行うことなしに、底面に多端子（多ピン）の半導体パッケージを作製することができるという効果がある。

【0038】本発明の多端子半導体パッケージの外部接続端子数は、パッケージ下面全領域を使用できることにより、従来のBGAパッケージと同じように外部接続端子数を増加する事が可能である。この場合の端子は、QFPによる表面実装時に問題になるような0.3～0.5mm程度の狭小ピッチは必要なく、1.0～1.5mmピッチで十分な外部接続端子数を確保することができる。

【0039】本発明の多端子半導体パッケージはスルホールビアがないことにより、ソルダーマスクでスルホールビアを塞ぐ必要がないことから、ソルダーマスクの厚み制御が容易となり、かつ量産性に優れている。

【0040】本発明の多端子半導体パッケージは、ダイボンディング技術、ワイヤーボンディング技術、あるいはプリント基板への表面実装技術など、従来からの技術を適用することが可能で、半導体集積回路用のパッケージの多ピン化に寄与することが大である。

【図面の簡単な説明】

【図1】本発明の一実施態様による多端子半導体パッケージを示す断面図である。

【図2】(a)、(b)は、それぞれ図1の多端子半導体パッケージの上面視図、下面視図である。

【図3】本発明の実施例1の多端子半導体パッケージの展開図である。

【図4】図1の多端子半導体パッケージの一部絶縁層を除去した断面図である。

*【図5】(a)は本発明の実施例2の多端子半導体パッケージを示す断面図、(b)、(c)は、それぞれ(a)の多端子半導体パッケージの上面視図、下面視図である。

【図6】本発明の実施例2の多端子半導体パッケージの展開図である。

【図7】図5(a)の多端子半導体パッケージの一部絶縁層を除去した断面図である。

【図8】従来の半導体パッケージの一例であるPGAの構成を示す斜視図である。

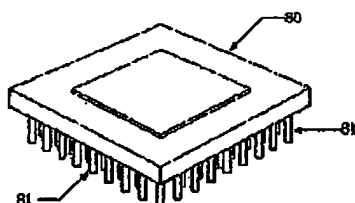
【図9】(a)は従来の半導体パッケージの一例であるBGAの構成を示す下面視図、(b)はプリント基板上へのBGAの実装方法を示す模式断面図である。

【符号の説明】

- 10 多端子半導体パッケージ
- 11 93 半導体集積回路素子
- 12 金属板
- 13 絶縁層
- 14 金属箔
- 15 開口部
- 16 101 ソルダーマスク
- 17 端子
- 18 金属バンパ
- 19 インターリード
- 20 97 ボンディングワイヤー
- 21 エポキシ樹脂
- 22 接地用端子
- 23 金属ベース基板
- 80 PGA
- 81 ピン端子
- 90 BGA
- 91 半田バンパ
- 92 プリント基板
- 94 基板
- 95 ダイパッド
- 96 銅箔配線
- 98 スルホールビア
- 99 モールド材
- 100 サーマルビア

*40

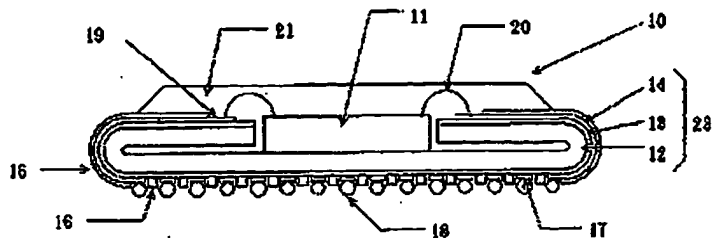
【図8】



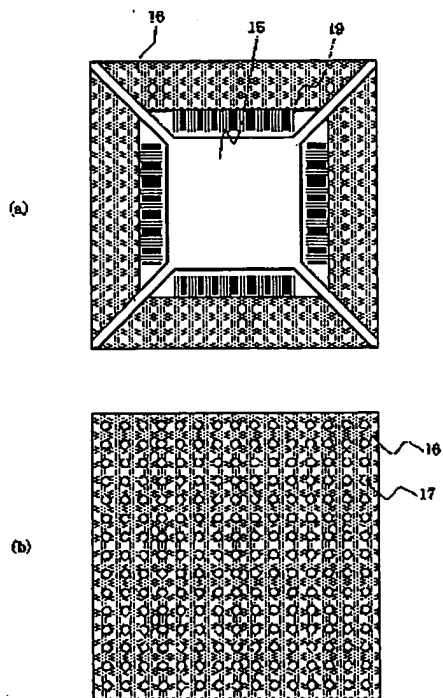
(7)

特開平8-204103

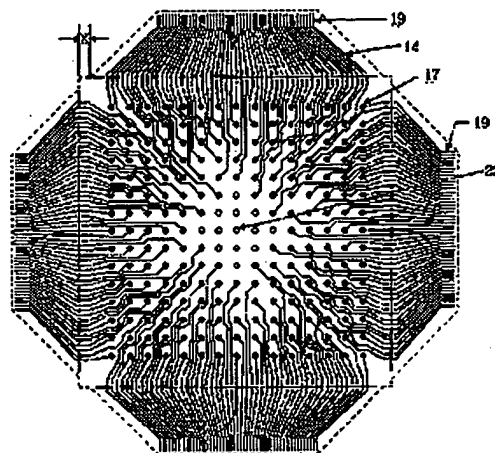
【図1】



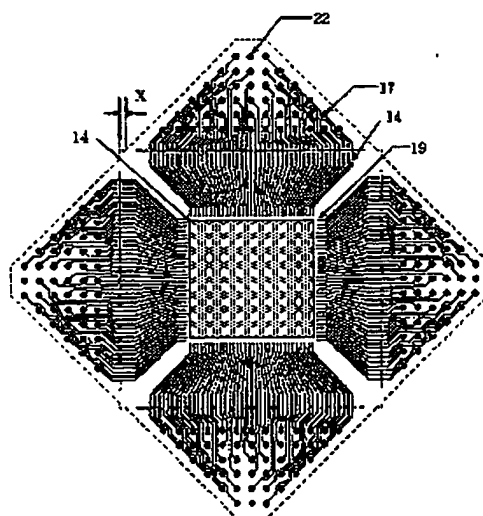
【図2】



【図3】



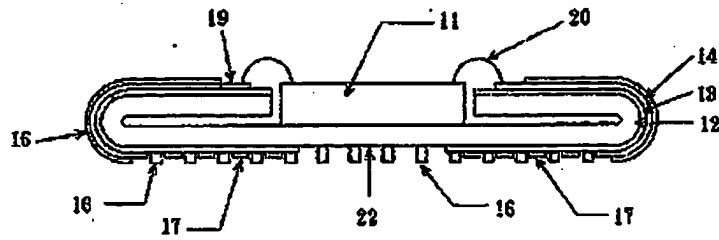
【図6】



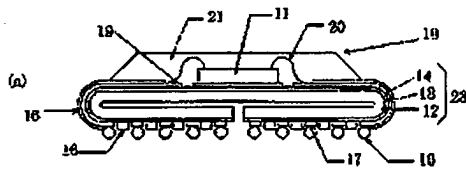
(8)

特開平8-204103

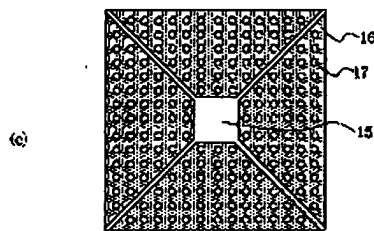
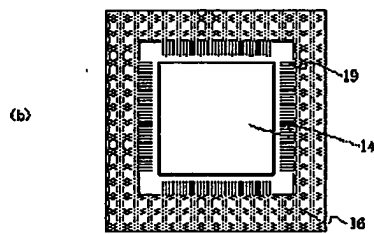
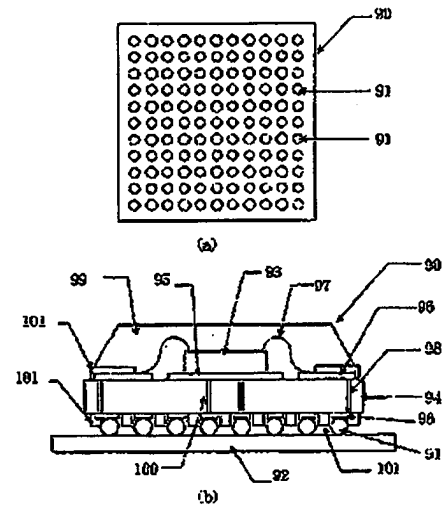
【図4】



【図5】



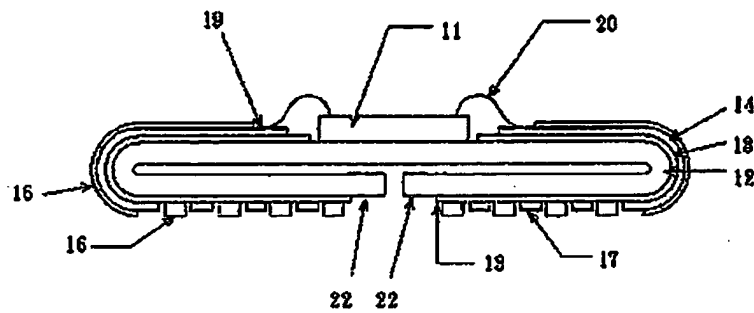
【図9】



(9)

特開平8-204103

【図7】



フロントページの続き

(72)発明者 加山 幸
 神奈川県横浜市栄区笠間町1190番地 三井
 東圧化学株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204103

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 23/50

H01R 9/09

(21)Application number : 07-012548

(71)Applicant : MITSUI TOATSU CHEM INC

(22)Date of filing : 30.01.1995

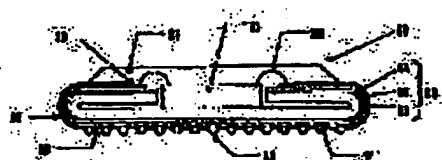
(72)Inventor : KANEMITSU KINICHI
TAKAHASHI SEIICHI
NAGAMINE KUNIHICO
KAYAMA TAKASHI

(54) MULTITERMINAL SEMICONDUCTOR PACKAGE

(57)Abstract:

PURPOSE: To provide a low-cost multiterminal semiconductor package, which can be adapted to an increase in the number of terminals without requiring through hole vias and makes possible the use of a conventional surface mount technique for a printed board.

CONSTITUTION: A metal base substrate 23, which has a metal foil 14 subjected to circuit work on a metal plate 12 via an insulating layer 13, is used and after a solder mask 16 is formed on this substrate 23, a bending work is performed on the substrate to form the substrate 23 into a configuration having an aperture surface. The substrate is formed into a configuration that inner leads 19 are arranged on the peripheral edge parts of this aperture surface and terminals 17, which are bonded to a printed board, are arranged on the whole region of the rear of the substrate via metal bumps 18. That is, a multiterminal semiconductor package of a BGA structure is formed.



LEGAL STATUS

[Date of request for examination] 15.01.2002

[Date of sending the examiner's decision of rejection] 25.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The many-items child semiconductor package characterized by being the solid printing substrate into which the metal base substrate with which the laminating of a metallic foil and the metal plate is carried out through the insulating layer was used, and it was processed by bending the metal base patchboard obtained by performing circuit processing in said metallic foil side to a metal plate side, and an electrical installation part with other circuit boards being BGA (Ball Grid Array) structure.

[Claim 2] Process the configuration which has opening by said bending processing, see from said effective area, and a semiconductor integrated circuit component is mounted on the metal plate of the pars basilaris ossis occipitalis. A metal bump is minded [the inner lead section obtained in the periphery of said effective area by said circuit processing aiming at connection with said semiconductor integrated circuit component, and / its].

The many-items child semiconductor package of claim 1 characterized by connecting electrically the terminal area obtained by said circuit processing aiming at connection with other circuit boards by said metallic foil by which circuit processing was carried out.

[Claim 3] The many-items child semiconductor package of claim 1 to which said terminal area is located in an effective area, it is the configuration which has arranged a die pad or said inner lead section at the rear face, and said terminal area and said inner lead section are characterized by connecting electrically by said metallic foil by which circuit processing was carried out.

[Claim 4] The many-items child semiconductor package according to claim 2 or 3 which performed surface preparation on said metallic foil which formed the solder mask in said field by which circuit processing was carried out, and was exposed other than said solder mask section, and by which circuit formation was carried out.

[Claim 5] A many-items child semiconductor package given in claim 1 which removed said insulating layer of said some of terminals or said die pad section thru/or 4 any 1 terms.

[Claim 6] Said insulating layer is a many-items child semiconductor package given in claim 1 thru/or 5 any 1 terms by which an elongation percentage is 30% or more, and glass transition temperature is constituted from thermoplastic 160-degree-C or more polyimide it is [polyimide] 350 degrees C or less.

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the many-items child semiconductor package by which parts for many terminal area electrically connected especially to the semiconductor integrated circuit component are drawn from the package inferior surface of tongue about the semiconductor package for semiconductor integrated circuit components.

[0002]

[Description of the Prior Art] As a semiconductor package for integrated circuits, although there are various kinds of things, such as DIP (Dual In-line Package), there are QFP (Quad Flat Package) which is one sort of a flat package, PGA (Pin Grid Array) 80 as shown in drawing 8, etc. as a semiconductor package for LSI with many external terminals. In QFP, the two or more lead connected to the semiconductor integrated circuit component (IC chip) is drawn by the package periphery (four directions) as an outer lead. On the other hand, in PGA 80, the lead connected to IC chip is drawn as a terminal (pin) 81 from a package inferior surface of tongue. In QFP, although spacing between outer leads, i.e., a pin pitch, must be narrow-ized when many pin-ization, i.e., the number of an outer lead, is made to increase since an outer lead can be taken out only from four sides of the periphery of a package, many pin-ization can be made at PGA, without narrow-izing a terminal pitch so much, since it can use as derivation space of a lead of the whole inferior surface of tongue. It is predicted with the large-scale integration of a semiconductor integrated circuit component, or enlargement of semiconductor integrated circuit component size that the number of an outer lead will increase from now on to about 400-1000, and it is thought by the conventional QFP in this case that correspondence is difficult.

[0003] When performing packaging of a semiconductor integrated circuit component to PGA, after having soldered the metal pin terminal on the inferior surface of tongue, and using the ceramic package with which the die pad or the inner lead was formed of metallizing processing for a top face, mounting IC chip on this ceramic package and completing the electrical installation of IC chip and an inner lead by the bonding wire, a ceramic or a metal lid is attached. In addition, pattern formation of a die pad or the inner lead is carried out on a ceramic substrate or a printed circuit board, a terminal is attached in the inferior surface of tongue of these ceramic substrates or a printed circuit board after that, IC chip is carried, and there is also a method of performing packaging to PGA by carrying out the mold of the whole to the last by resin.

[0004] Moreover, the trouble which the conventional QFP has is solved and the

semiconductor package indicated by JP,1-132147,A and the electronic-circuitry package indicated by JP,4-6893,A by this invention persons are one of those can respond to narrow-ization of outer lead spacing. A package given in JP,1-132147,A uses aluminum or copper as a **-SU metal, the resin layer which consists of an epoxy resin of dozens of micrometer thickness as an insulating layer is prepared, after that, the laminating of the copper foil is carried out, it carries out patterning, a flection is formed, IC chip is carried in a center section, and a periphery is used by press working of sheet metal as an outer lead. Moreover, a package given in JP,4-6893,A is bent to a metal base substrate, performs processing or spinning, and is made into the shape of a soup plate, it sees from an effective area, IC chip is mounted on the pars basilaris ossis occipitalis, and the periphery section of an effective area is used as an outer lead. With these packages, since it has the composition that the outer lead was formed on the metal substrate through the insulating layer, many problems in accordance with deformation of an outer lead can be avoided, and outer lead spacing can be made small compared with QFP. However, with these packages, since it is the ejection of the outer lead terminal from the periphery 4 direction of a package fundamentally, when increasing an outer lead number, there is a limitation.

[0005] After all, in realizing the above formation of many pins, and many-items child-ization to some extent, derivation of electrical installation parts, such as a lead terminal from an inferior surface of tongue, becomes indispensable like PGA. In the case of PGA, installation of the package to a printed circuit board needs to serve as mounting of a pin inserting type, and needs to insert an outer lead terminal in SURUHORU prepared in the printed circuit board. However, compared with a surface mount, contraction of a component-side product is difficult for mounting of such a pin inserting type at the time of high density assembly. For this reason, the outer lead structure suitable for a surface mount is searched for further. Moreover, it is necessary to solder many outer lead terminals, and in PGA, packaging cost becomes [QFP] and becomes high.

[0006] In order to make current and a surface mount suit, BGA (Ball Grid Array) which lost the short lead PGA which shortened the outer lead terminal, and the lead terminal is developed. The bottom view in which drawing 9 (a) shows the outline of the configuration of BGA, and drawing 9 (b) are the type section Figs. showing the condition of having mounted BGA in the printed circuit board. In BGA90, the ball-like solder bump 91 is formed in the package inferior surface of tongue instead of the outer lead terminal of PGA. When it mounts BGA90 in a printed circuit board 92, she is electrically connected to the pad on a printed circuit board 92 with reflow heating, using the solder bump 91 as an electric part. In BGA90, the IC chip 93 is carried through the die pad 95 on the substrate 94 made from a ceramic thru/or glass epoxy, and is connected by the bonding wire 97 to the copper foil wiring 96 (inner lead) on a substrate 94. Furthermore, SURUHORUBIA 98 which penetrates a substrate 94 is formed and the copper foil wiring 96 and the solder bump 91 are electrically connected through this SURUHORUBIA 98. Furthermore, in order to close the IC chip 93, the copper foil wiring 96, and a bonding wire 97, the mold material 99 which consists of epoxy etc. is formed in the top face of a substrate 94.

[0007] However, in the conventional BGA, since the resin seal of the IC chip is carried out, in order hole down or plating is needed by using SURUHORUBIA for electrical installation, and also for a solder mask 101 to have to close SURUHORUBIA, the

thickness control of a package is difficult and a price also has troubles, such as becoming high. Furthermore, since it is the structure of making the heat of a semiconductor integrated circuit component radiating heat to a printed circuit board 92 by forming thermal beer 100 in the bottom of a die pad 95, and joining to a printed circuit board 92, there is a trouble which heat concentrates on the part of a substrate 94.

[0008]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the many-items child [who it was / child / cheap and raised heat dissipation nature] semiconductor package who can use it because the surface mount technology to the conventional printed circuit board minds a metal bump in the package of the structure which can take out two or more electrical installation parts, i.e., the mold cavity rise structure where the field in which a semiconductor integrated circuit component is carried turns into a top face, from the inferior surface of tongue of a package, without forming SURUHORUBIA like the conventional BGA.

[0009]

[Means for Solving the Problem] The many-items child semiconductor package of this invention is the solid printing substrate into which the metal base substrate with which the laminating of a metallic foil and the metal plate was carried out through the insulating layer, and circuit processing was performed to said metallic foil was used, and it was processed by bending to said metal base substrate, and is characterized by an electrical installation part with other circuit boards being BGA (Ball Grid Array) structure. Electrical installation of the terminal area connected with the inner lead section connected with a semiconductor integrated circuit component and other substrates is carried out by said metallic foil by which circuit processing was carried out by performing said bending processing to a metal plate side in the many-items child semiconductor package of KYABI tee-up structure by the object for semiconductor integrated circuit component loading. A metal plate can be used as a heat sink by furthermore removing an insulating layer in part.

[0010]

[Function] In the many-items child semiconductor package of this invention, since a BGA package can be formed by it not being necessary to form SURUHORUBIA as compared with the conventional BGA package, and processing it by bending to a metal base patchboard, a package formation process can be shortened and it can produce at a low price. Since a solder mask does not furthermore need to close SURUHORUBIA, thickness control becomes easy. Moreover, since a metal plate can use it as a heat sink by removing the die pad section or some insulating layers of a terminal, heat leakage nature improves.

[0011] In the many-items child semiconductor package of this invention, as a metal plate which constitutes a metal base substrate, although a thing with a thickness of about 0.05-2.0mm is used, copper alloys, such as 0.1-1.0mm aluminum, nickel silver, and brass, copper, copper clad Invar, stainless steel, iron, silicon steel, the aluminum by which electrolytic oxidation processing was carried out, the copper by which chromate treatment was carried out can be used preferably.

[0012] As an insulating layer used for this invention, what is obtained by heating-imide-izing can use the polyamide acid varnish which is the precursor of thermoplastics, such as thermosetting resin, such as an epoxy phenol and bismaleimide, or polyamidoimide,

polysulfone, Pori parabanic acid, and polyphenylene sulfide, or thermoplastic polyimide, for example. Or what is obtained by applying the polyamide acid varnish which is the precursor of thermoplastic polyimide, and heating-imide-izing to both sides of each film, such as a heat-resistant organic high polymer film, for example, polyimide, polyamidoimide, aramid, polyether sulfone, and a polyether ether ketone, can be used. Moreover, if it is the case of thermoplastic polyimide meltable to an organic solvent, the cast or the film which carries out a coat and is obtained by drying and the extrusion-molding film of thermoplastic polyimide, or a sheet as well as the above-mentioned film formation approach can use a thermoplastic varnish. Furthermore, a polyimide acid varnish or thermoplastic polyimide is applied, it may dry at the rear face of the metal plate to be used or a metallic foil, and it may be made to carry out a laminating.

[0013] It is also possible to use combining the above-mentioned insulating-layer ingredient. Furthermore, an inorganic filler may be added to said insulating layer in the range which does not check adhesion with a metallic foil in order to raise heat dissipation nature. As these fillers, an alumina, a silica, silicon carbide, alumimium nitride, boron nitride, etc. are mentioned.

[0014] Among such insulating layers, in this invention, the most desirable thing is thermoplastic polyimide which has imide structure in a principal chain, glass transition temperature (T_g) is 160 degrees C or more 350 degrees C or less, and the elongation percentage at the time of the fracture measured by the approach specified to JIS(Japanese Industrial Standards)-C2318 is 30% or more of thing. By specifying glass transition temperature as mentioned above, it becomes the bond strength between metal plate-metallic foil layers, and the thing excellent in both the heat dependability at the time of wire bonding. Moreover, by considering as 30% or more of elongation percentages, it becomes the thing excellent in the dependability at the time of machining. Of course also in such thermoplastic polyimide, an inorganic filler is mixable.

[0015] In this invention, a copper and copper-beryllium alloy, nickel, aluminium foil, etc. can be used for the metallic foil used for circuit formation. Available commercial electrolytic copper foil, rolling copper foil, etc. are used generally, cheaply in comparison, and easily. In this invention, the metallic foil by which circuit processing was carried out is equivalent to circuit patterns, such as an inner lead or a terminal. well-known patterning (etching) used with the usual printed-circuit board as the approach of circuit processing of a metallic foil -- law etc. can be used.

[0016] In the metallic foil front face by which patterning was carried out, in order to perform the below-mentioned wire bonding, it is desirable to perform plating processing of Au plating, nickel/Au plating, Ag plating, Pd plating, etc. Before this plating processing performs bending processing, it can be performed after processing.

[0017] As an approach of carrying out the laminating of a metal plate, an insulating layer, and the metallic foil mutually, there are a hot calender roll method, the heat pressing method, etc. Moreover, the build up method which forms a metaled conductor layer with vacuum deposition or plating is [after forming an insulating layer on a metal plate] also usable.

[0018] In this invention, in order to improve heat dissipation nature more, it is desirable to remove an insulating layer partially. As an approach of removing an insulating layer, in the case of the heat pressing method, a removal part is pierced and processed, or the cutting removal by NC router after a heat press, a sentiment or the dry etching method,

and a laser process are used for it.

[0019] When an insulating layer consists of polyimide, as wet etching, alkali solution etching may be used, for example, alkali water solutions, such as a potassium hydroxide and a sodium hydroxide, can be used, and a hydrazine compound may be added for the need responding.

[0020] There are a plasma ashing method, a reactive-ion-etching method, etc. using the oxygen plasma as dry etching, and the gas of CF₄ or NF₃ may be mixed if needed. As a laser process, there is the approach of using an excimer laser, carbon dioxide laser, an YAG laser, etc., and the thing of an ArF system or a KrF system can be mentioned as an excimer laser, for example.

[0021] Bending processing in this invention can be performed by press working of sheet metal which used the usual metal mold. In order to bend the metallic foil by which circuit processing was carried out and to protect at the time of processing, a resin coat may be carried out to a metal mold front face, and it may use for it, or a concave configuration may be prepared in metal mold according to the circuit pattern configuration of a metallic foil. Or you may process making processing to which heat is applied, and an insulating layer swell with a solvent etc.

[0022] Although the cross-section configuration of the many-items child semiconductor package of this invention can be chosen suitably, it is desirable for the radius of curvature to process it in 5.0mm or less from the predominance of bending processing. In the below-mentioned example, it could be 0.05mm.

[0023] The thermocompression bonding which used the golden-silicon eutectic as die bonding or the approach using conductive adhesion resin, solder plating, gold plate, silver plating, etc. are used for adhesion with the many-items child semiconductor package of this invention, and a semiconductor integrated circuit component. The wire-bonding method or the flip chip method which used bump formation is used for the electrical installation of a semiconductor integrated circuit component and the metallic foil which is a circuit pattern and by which circuit processing was carried out.

[0024] It is also possible for the number of the semiconductor integrated circuit component carried on the many-items child semiconductor package of this invention not to be limited to one piece, and to carry two or more components. When it carries two or more components, mutual wiring between each component adopts the approach of using a bonding wire together, using said circuit pattern. Moreover, although the hermetic seal of the carried semiconductor integrated circuit component is generally carried out, transfermold shaping or the potting method by an epoxy resin etc. can be used for a hermetic seal. For the reasons of heat dissipation nature, coefficient-of-thermal-expansion adjustment, etc., inorganic fillers (an alumina, a silica, alumimium nitride, silicon nitride, boron nitride, silicon carbide, etc.) may be mixed in closure resin if needed.

[0025] In the many-items child semiconductor package of this invention, when using a metal bump for connection with other printed circuit boards, it is desirable to form a solder mask. Resin photosensitive [liquefied or / dry film type] or thermosetting can be used for a solder mask by acrylic, the urethane system, the epoxy system, the silicon system, and imide system resin. Moreover, plating, the imprint bump method, the stud bump method, etc. can be used for a metal bump's formation. By the metal bump, the ball which plated on Au, nickel/Au, solder, plastics, or a metal ball is usable.

[0026] In carrying out the surface mount of the many-items child semiconductor package

of this invention to other printed circuit boards, it uses usual solder cream print processes or a usual fluxing method as a surface mounting method. The many-items child semiconductor package of this invention is carried on other printed circuit boards with an automatic loading machine after printing of a solder cream, or spreading of flux, and it solders using a reflow furnace. As a reflow furnace, it is desirable to use a thing infrared heating and the Ayr concomitant use type, a nitrogen reflow, and *-par phase type etc. [0027]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0028] The sectional view of the many-items child semiconductor package of the example 1 of this invention, drawing 2 (a), and (b of example 1 drawing 1 (a)) are the top-surface-view Fig. of this semiconductor package, and a ***** Fig., respectively.

[0029] This many-items child semiconductor package 10 carries the semiconductor integrated circuit component (IC chip) 11. After a metallic foil 14 uses the metal base substrate 23 by which the laminating was carried out and forms a circuit pattern to a metallic foil 14 through an insulating layer 13 on a metal plate 12, the many-items child semiconductor package 10 forms a solder mask 16, and is formed in the configuration which has an effective area 15 by processing it by bending to a metal plate 12 side. In this example, the inner lead 19 for connecting with a semiconductor integrated circuit component in the periphery of an effective area 15 is arranged (drawing 2 (a)), and the terminal 17 joined to a printed circuit board through the metal bump 18 in the rear face is formed in a total of 225 matrices. A solder mask 16 applies the liquefied photograph solder resist ink of an ultraviolet curing mold by screen-stencil, performs exposure and alkali development, and it is formed so that the inner lead 19 of a circuit pattern or the metallic foil 14 of a terminal 17 may be exposed. Moreover, after performing bending processing in the front face of the exposed metallic foil 14, a nickel (nickel) layer (un-illustrating) with a thickness of 3-5 micrometers is formed by the electroless deposition method, and thickness 0.03 - a 0.5-micrometer golden (Au) layer (un-illustrating) are further formed by the electroless deposition method on this nickel layer. As for the metal bump 18, the solder bump is formed by the imprint bump method.

[0030] Drawing 3 is the development view of this many-items child semiconductor package 10. A metallic foil 14 is a configuration in which a terminal area 17 is arranged by circuit processing in the center section, and the circuit pattern corresponding to a terminal 17 goes to four sides of a periphery, respectively, and the edge of wiring arranged by four sides serves as an inner lead 19. After forming a circuit pattern, it pierces in the configuration of an outline octagon (dotted-line section) by the die press, the alternate long and short dash line section of four sides is bent and processed into a metal plate 12 side, and it is considering as the square configuration.

[0031] In case four sides are bent, in order to prevent the level difference by the adjoining lap, it is desirable to set path clearance as 0.7mm or more. X of drawing 3 is 0.5mm or more from this. Moreover, the radius of curvature (inradius) of bending processing is processed so that it may be set to 0.05mm.

[0032] A part of drawing 4 is the sectional view of the many-items child semiconductor package which removed the insulating layer 13. Before performing circuit processing to a metallic foil 14, the etching pattern of an insulating layer 13 was formed, and the alkali water solution which added the hydrazine compound for the insulating layer 13 of the

terminal area 22 for touch-down performed wet etching. By removing the insulating layer 13 of the terminal area 22 circumference for touch-down, heat can be efficiently radiated to a printed circuit board in the heat generated from the semiconductor integrated circuit component 11. Furthermore, a metal plate 12 is used as a heat sink as it is.

[0033] The elongation percentage as which the glass transition temperature out of the thermoplastic polyimide by Mitsui Toatsu Chemicals, Inc. is 160 degrees C - 350 degrees C, and is specified to JIS-C2318 as an insulating layer 13 chose and used what is 30% or more, using a copper plate with a thickness of 0.2mm as a metal plate 12. Thickness of an insulating layer 13 was set to 20 micrometers. As for the metal plate 12, the insulating layer 13, or the metallic foil 14, the metallic foil 14 performed mutual adhesion and laminating by the heat pressing method using the thing of 18-micrometer thickness of electrolytic copper foil.

[0034] The semiconductor integrated circuit component 11 is mounted on the center section 15 of the top face of the many-items child semiconductor package 10, i.e., opening of drawing 2 (a). In this case, the semiconductor integrated circuit component 11 is joined by a golden-silicon eutectic method, electroconductive glue or solder, gold, silver plating, etc., exposed metal Itabe 15, i.e., opening, on the many-items child semiconductor package 10. Moreover, although circuit processing of the metallic foil 14 was carried out as a circuit pattern as mentioned above, and this circuit pattern is prolonged from a terminal 17 to even near the semiconductor integrated circuit component 11, the inner lead 19 section and the semiconductor integrated circuit component 11 of a circuit pattern are electrically connected by the bonding wire 20.

[0035] Furthermore, the mold of the epoxy resin 21 of entering a filler (an alumina, a silica, aluminum nitride, boron nitride, etc.) is carried out with transfer mold shaping for the hermetic seal of the semiconductor integrated circuit component 11 or a bonding wire 20. By carrying out the mold of the epoxy resin 21 to a semiconductor package, the mechanical strength of the many-items child semiconductor package 10 also improves.

[0036] Although the circuit pattern has arranged the terminal 17 inside and arranged the inner lead 19 outside in the example 2 above-mentioned example 1, the circuit pattern of the many-items child semiconductor package of this example arranges the terminal 17 inside on the die pad (un-illustrating) or the inner lead 19, and the outside. Drawing 5 (a), (b), and (c) are the sectional view of a many-items child semiconductor package, a top-surface-view Fig., and a ***** Fig., respectively. The number of terminals is 192 in total in 48 pieces at one side. Drawing 6 is the development view of a semiconductor package. Drawing 7 is the sectional view of the many-items child semiconductor package which removed the insulating layer 13 of the die pad section or the terminal 22 for touch-down.
 [0037]

[Effect of the Invention] It is effective in a many-items child's (many pins) semiconductor package being producible at a low price, without forming SURUHORUBIA in the conventional BGA package by considering as a BGA configuration by using for this invention the metal base substrate which has the metallic foil by which circuit processing was carried out through the insulating layer on the metal plate, and processing it by bending to a metal base substrate, as explain above.

[0038] The number of external connection terminals of the many-items child semiconductor package of this invention can increase the number of external connection terminals like the conventional BGA package from the ability of a package inferior-

surface-of-tongue all field to be used. A narrow pitch of about 0.3-0.5mm from which the terminal in this case becomes a problem at the time of the surface mount by QFP is unnecessary, and can secure the sufficient number of external connection terminals in 1.0-1.5mm pitch.

[0039] Since the many-items child semiconductor package of this invention does not need to close SURUHORUBIA with a solder mask when there is no SURUHORUBIA, the thickness control of a solder mask becomes easy, and it is excellent in mass-production nature.

[0040] The many-items child semiconductor package of this invention can apply techniques from the former, such as a die bonding technique, a wire-bonding technique, or a surface mount technology to a printed circuit board, and it is size to contribute to many pin-ization of the package for semiconductor integrated circuits.

406 VLSI 製造技術

們可以在鋁合金層的表面，再增加一層反反射 (Anti-Reflection) 的導電材料，使整個導線成為由阻障層、鋁合金層、及反反射層等三層導體所共同組成。主要的反反光材料有 TiN 及 TiW^[10]。其常用的厚度，依不同的製程需求，約在 200 Å 到 1500 Å 左右。也就是說，如果因為製程的需要，而必須增加反反射層時（如：使用 TiN），整個前面所提的金屬層結構，將由 Ti、TiN、鋁合金，及 TiN 等四層材料所組成。有關 Ti、TiN、TiW，及鋁合金的濺鍍和應用的細節，讀者可以參考第 5 章的內容。

製程進行到這裡，金屬層與 NMOS 元件各極的接觸已完成了。接下來的焦點，將放在把積體電路所需要的金屬線圖案，藉第四道微影製程，從光罩上把它轉移到剛沈積完成的金屬層上。

11-2-4 光罩 4 與光罩 5

首先，經金屬化製程後的晶片，將直接進行第四個微影的製程，以便將光罩上的金屬內連線 (Interconnect) 圖案，轉移到如圖 11-10(a) 所示的光阻上。接著，將以第 8-6 節所談及的乾蝕刻法，以氫化物為主要反應氣體，把晶片上未被光阻覆蓋的金屬層，徹底的清除。然後再以乾式或濕式的去光阻法（或兩者合用），把剩下的光阻去除，而留下如圖 11-10(b) 所示的截面結構。這時，整個積體電路的主要結構，已完整的呈現在晶片上了。接下來的工作，便是要把用來保護這些電路與元件的保護層 (Passivation)，沈積在晶片上。

如同本章第一節所言， Si_3N_4 與 PSG，是兩種現在非常普遍被使用的護層材料。為了避免 CVD 製程的高溫，而影響到鋁合金層的穩定性，我們通常都是使用 APCVD 法或是 PECVD 法，在低於 450°C 的製程溫度下，進行這兩種介電材料的沈積的。比較常見的護層厚度，約在 1 μm 到 2 μm 之間。

Mc
BF
F
P

E

第十一章 MOS製程 407

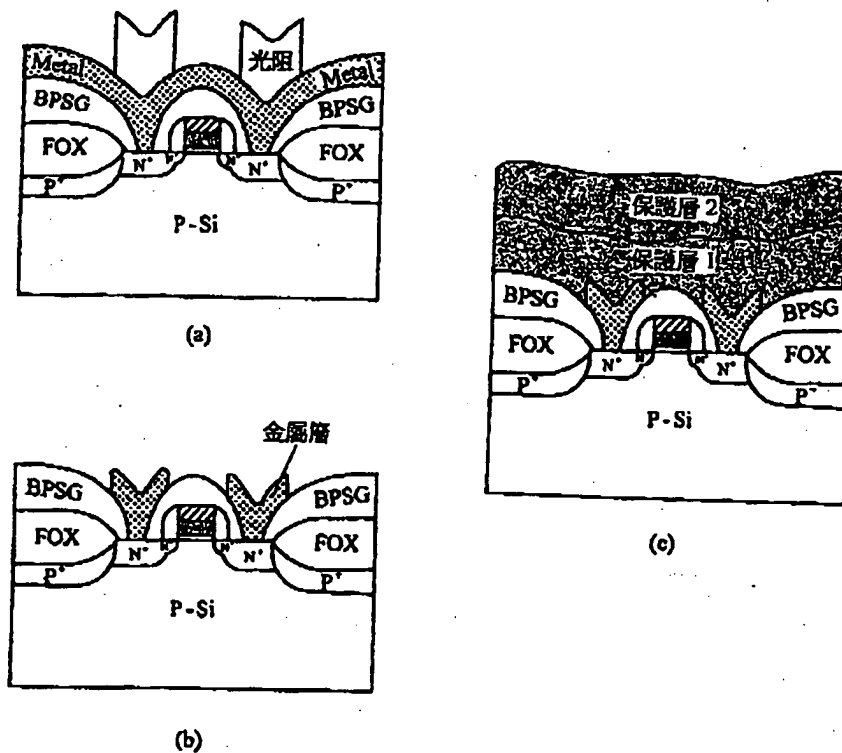


圖 11-10 (a) 將金屬內連線的圖案，轉移到光阻上；(b) 以乾蝕刻法將部份金屬層去除；(c) 沈積做為保護層用的 PSG 與 Si_3N_4

NMOS 的製程至此，算是告一個段落了。接下來第五個光罩，將用來把做為焊墊 (Bonding Pad) 之用的金屬區域，以濕式或乾式蝕刻法加以挖開，以便於接著進行晶片的構裝 (Packaging)。關於這個部份，因為比較直接，不像前幾節所描素的那樣複雜，所以筆者將不繼續討論以下的製程，而在這裡結束對 NMOS 製作流程的介紹。

當元件的積集度愈來愈高之後，NMOS 的能量消耗，將成為繼續以

408 VLSI 製造技術

NMOS 來設計並製造積體電路上的困難。因此，具備低能耗優點 CMOS 電晶體，便漸漸的取代 NMOS，而成為業界的主流。現在的超大型積體電路，都是以 CMOS 為主要的設計基礎。

接下來，筆者將把 CMOS 製程的一些特點，及與本節所介紹的 MOS 製程間的差異，詳細且簡要的為讀者分析及比較。

11-3 CMOS 製程

在本書的第三章裡，筆者已對 MOS 與 CMOS 的結構及操作的原理，有極詳盡的解釋。基本上，所謂的 CMOS，就是由 NMOS 與 PMOS 所組成的互補式 (Complementary) 電晶體。因為這種電晶體結構在操作時所消耗的電能很低，因此極適於用在積集度高的超大型 (Very Large)，甚至極超大型 (Ultra Large) 的積體電路的設計上。不過，使用 CMOS 的設計之後，因為每一個 CMOS 單元是由 NMOS 與 PMOS 等兩種不同的電晶體所組成的 (見第 3-3 節)，因此使用 CMOS 設計的積體電路，其積極度將較前一節所介紹的 NMOS 還來得低，且製程也比較複雜。當然所要付出的代價就是——價格比較昂貴。

於第 3-3-1 節裡，筆者已提到 CMOS 的基本設計，還有所謂的 N 井，P 井，及雙井等三種不同的結構。於本節，筆者將延續前一節對 NMOS 製程的介紹，而以 N 井 CMOS 為例，來說明 CMOS 的製作流程。

圖 11-11 顯示一個典型的 N 井 CMOS 的橫截面結構。所謂的 N 井，就是在電性為 p 型的矽晶片上，以離子植入法，局部的製造井深約 $1 \sim 4 \mu\text{m}$ 左右，電性為 n 型的半導體區域，以便於在這個 n 型區域上，製作 p 型 MOS，而在沒有被植入的 p 型矽底材表面上，建立 NMOS，以形成所謂的 CMOS 元件，如圖 11-11。